

# PATENT ABSTRACTS OF JAPAN

#3

(11)Publication number : 64-069056

(43)Date of publication of application : 15.03.1989

(51)Int.Cl.

H01L 29/78  
H01L 21/265

(21)Application number : 62-227368

(22)Date of filing : 10.09.1987

(71)Applicant : SEIKO INSTR & ELECTRON LTD

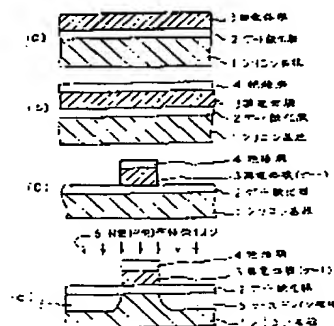
(72)Inventor : OSANAI JUN  
HOSAKA TAKASHI

## (54) MANUFACTURE OF MOS SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To inhibit ions while stabilizing the operation of an integrated circuit by applying a silicon oxide film through a high-temperature CVD method onto a conductor film as an ion implanting mask material for forming source-drain regions.

**CONSTITUTION:** A gate oxide film 2 is shaped onto the surface of a silicon substrate 1, a high-melting-point metal is applied by using a sputtering method or a chemical vapor growth method, and a conductor film 3 is formed. An insulating film 4 is formed using a low-pressure chemical vapor deposition (CVD) device, in which the inside of a reaction tube is held at  $700 \sim 1000^{\circ}\text{C}$ , and a silicon oxide film is deposited through the chemical vapor phase reaction of dichlorosilane ( $\text{SiH}_2\text{Cl}_2$ ) and nitrous oxide gas ( $\text{N}_2\text{O}$ ) under low pressure.  $1000 \sim 1500 \text{ \AA}$  are preferable as film thickness because the insulating film 4 is used as a mask material for ion implantation. The insulating film 4 and the conductor film 3 are formed into desired shaped through a standard photoetching method and a reactive ion etching method. N-type or P-type im purity ions 6 are implanted for shaping source-drain regions 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(3)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-69056

⑪ Int.Cl.<sup>4</sup>

H 01 L 29/78  
21/265

識別記号

3 0 1

庁内整理番号

P-8422-5F  
M-7738-5F

⑬ 公開 昭和64年(1989)3月15日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOS半導体装置の製造方法

⑮ 特 願 昭62-227368

⑯ 出 願 昭62(1987)9月10日

⑰ 発 明 者 小 山 内 潤 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内

⑱ 発 明 者 保 坂 俊 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内

⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

明 細 書

1. 発明の名称

MOS半導体装置の製造方法

2. 特許請求の範囲

(1) 導電体膜の上に絶縁膜を形成する工程と、上記導電体膜及び絶縁膜を所望の形状に形成する工程と、N型不純物あるいはP型不純物をイオン注入する工程とからなることを特徴とするMOS半導体装置の製造方法。

(2) 導電体膜がタングステンあるいはモリブデン等の高融点金属膜である特許請求の範囲第1項記載のMOS半導体装置の製造方法。

(3) 絶縁膜が700~1000℃の温度で、ジクロロシランガスと亜酸化窒素ガスとの化学気相反応により形成したシリコン酸化膜である特許請求の範囲第1項記載のMOS半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高速高密度集積回路に用いられるMOS半導体装置の製造方法に関する。

(発明の概要)

本発明は、タングステン、モリブデン等の高融点金属を導電体膜として用いるMOS半導体装置において、導電体膜上に絶縁膜を被着し、導電体膜及び絶縁膜を所望の形状に加工した後、ソース・ドレイン領域形成のためのN型不純物あるいはP型不純物イオン注入を行うことにより、しきい値電圧を再現性良く制御できるようにしたのである。この絶縁膜としては、たとえばジクロロシランガスと亜酸化窒素ガスとの高温でのガス化学気相反応によって形成される酸化膜が挙げられる。

(従来の技術)

従来、第2図に示すように、導電体膜である高融点金属14を所望のパターンに形成した後、N型不純物あるいはP型不純物をイオン注入し、ソース・ドレイン領域12をシリコン基板11中に形成していた。

## 〔発明が解決しようとする問題点〕

しかしモリブデンあるいはタングステン等は柱状晶構造であるため、ソース・ドレイン領域12形成のためのイオン注入時にチャネリング現象により、イオンが導電体ゲート電極14とゲート酸化膜13を通過し、シリコン基板11中のチャネル部15にまで到達してしまう。このようになるとMOSトランジスタのしきい値電圧が変動し、集積回路の安定性に欠けるという問題点を有している。

## 〔問題点を解決するための手段〕

上記問題点を解決するために本発明は、イオン注入のマスク材として絶縁膜を導電体膜上に被着し、イオン注入を行うことにした。この絶縁膜はジクロルシランガスと亜酸化窒素ガスとの高温でのガス化学気相反応による生成物である。

## 〔作用〕

導電体膜上に絶縁膜があるため、イオンはこの絶縁膜に捕らえられチャネル領域には到達しない。従ってしきい値電圧は所望の値に制御性よく作られ作られ、集積回路の動作を安定する。

絶縁膜4の生成法は上記減圧CVD法の他、常圧CVD法、プラズマCVD法、光CVD法といった化学気相成長法を用いても良い。次に第1図(ハ)に示すように標準の写真蝕刻法と反応性イオンエッチング法により絶縁膜4と導電体膜3を所望の形状に加工する。そして第1図(ハ)に示すようにソース・ドレイン領域5形成のためのN型あるいはP型不純物イオン6を注入する。この場合N型不純物(ドナー)としてはリン、砒素、P型不純物(アクセプター)としてはボロン等が用いられる。上記イオンの場合、加速エネルギーにより異なるが、通常のソース・ドレイン形成において絶縁膜4は1000~1500Åの厚さがあれば、イオンが導電体膜3及びゲート酸化膜2を通り抜けチャネル部に到達することはない。この後中間絶縁膜、配線金属、最終保護膜を形成し半導体は完成する。

## 〔発明の効果〕

この発明は以上説明したように、高融点金属を導電体膜として用いたMOS半導体において、ソース・ドレイン領域形成のためのイオン注入マス

## 〔実施例〕

以下にこの発明の実施例を図面に基づいて説明する。第1図(ハ)において、シリコン基板1の表面にゲート酸化膜2を形成し、高融点金属をスパッタ法または化学気相成長法を用いて3000~5000Å程度被着し導電体膜3を生成する。次に第1図(ハ)に示すように絶縁膜4を形成する。この絶縁膜4は減圧化学気相成長(CVD)装置を用い、反応室内を700~1000℃に保持し、 $10^{-2}$ mmbar~10mmbarの減圧下でジクロルシランガス( $\text{SiH}_2\text{Cl}_2$ )と亜酸化窒素ガス( $\text{N}_2\text{O}$ )の化学気相反応によるシリコン酸化膜である。膜厚はイオン注入のマスク材として用いるため、1000~1500Åが望ましい。高温にて化学気相成長されたシリコン酸化膜は、通常のCVD酸化膜に比べ緻密であるためイオン阻止能が高く膜厚の制御性も設定条件により非常に良くでき、しかもレジストとの密着性が良い等の利点がある。また高温で行うことにより導電体膜4のアニールも兼ね、特にタングステンをを用いる場合条件により内部応力を0に近くすることができる。

ク材として導電体膜上に高温CVD法によるシリコン酸化膜を被着することにより、イオンを阻止することができ、従ってしきい値電圧は所望の値に制御性良く作られ集積回路の動作は安定する。

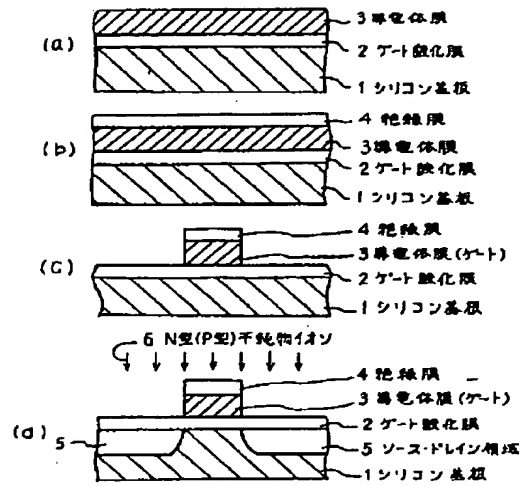
## 4. 図面の簡単な説明

第1図(ハ)~(ハ)は本発明の製造方法を説明するための工程順の断面図、第2図は従来の半導体装置の製造方法の断面図である。

1. 11・・・シリコン基板
2. 13・・・ゲート酸化膜
3. 14・・・導電体膜
4. ....絶縁膜
5. 12・・・ソース・ドレイン領域

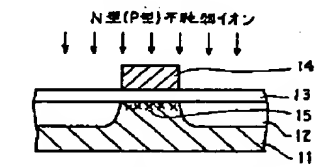
以上

出願人 セイコー電子工業株式会社



本発明の製造方法を示す工程断面図

図 1



従来の製造方法を示す断面図

図 2